

JP-U-5-36544

ABSTRACT OF DISCLOSURE

[OBJECT OF THE INVENTION]

When the abnormality is detected in the microcomputer, control signal of the microcomputer is switched to the fail-safe side so that the load is controlled.

[STRUCTURE]

When the abnormality is detected in the microcomputer 1, watchdog circuit 2 inputs watchdog pulse and resets the microcomputer 1 by signaling reset signal. The fail-safe circuit 3 outputs a failsafe signal in accordance with the reset signal from the watchdog circuit 2. The signal switching circuit 5 switches control signal of the microcomputer 1 to the failsafe side in accordance with the failsafe signal input via the signal normalizing circuit 4. Thus the load 6 is controlled.

(19)日本国特許庁(JP)

(12) 公開実用新案公報(U)

(11)実用新案出願公開番号

実開平5-36544

(43)公開日 平成5年(1993)5月18日

(51)Int.Cl.<sup>5</sup>

G 0 6 F 11/30

識別記号

3 1 0 K

庁内整理番号

9290-5B

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 3 頁)

(21)出願番号 実願平3-92629

(22)出願日 平成3年(1991)10月16日

(71)出願人 390001236

ナイルス部品株式会社

東京都大田区大森西5丁目28番6号

(72)考案者 福田 岳

茨城県北相馬郡利根町大平31番地 ナイル

ス部品株式会社技術センター内

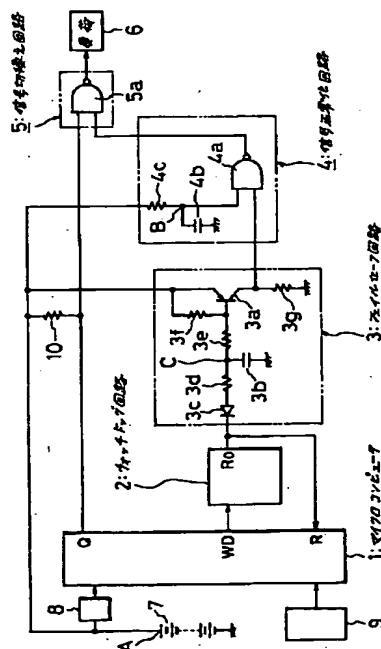
(74)代理人 弁理士 松田 克治

(54)【考案の名称】 マイクロコンピュータ制御装置

(57)【要約】

【目的】 マイクロコンピュータの異常動作状態を検出した場合に、このマイクロコンピュータの制御信号をフェイルセーフ側に切換えて、負荷を制御する。

【構成】 ウォッチドッグ回路2は、マイクロコンピュータ1が異常動作状態においてウォッチドッグパルスを入力し、リセット信号を出力してマイクロコンピュータ1をリセットする。フェイルセーフ回路3は、ウォッチドッグ回路2のリセット信号に応じてフェイルセーフ信号を出力する。信号切換え回路5は、信号正常化回路4を介して入力したフェイルセーフ信号に応じて、マイクロコンピュータ1の制御信号をフェイルセーフ側に切換えて、負荷6を制御する。



1

【実用新案登録請求の範囲】

【請求項1】 制御信号を出力して所定の負荷を制御するマイクロコンピュータと、

前記マイクロコンピュータの異常動作状態を検出し、リセット信号を出力して当該マイクロコンピュータをリセットするウォッチドッグ回路と、

前記ウォッチドッグ回路のリセット信号に応じて、フェイルセーフ信号を出力するフェイルセーフ回路と、

前記フェイルセーフ回路のフェイルセーフ信号に応じて、前記マイクロコンピュータの制御信号をフェイルセーフ側に切替える信号切替回路とを備えたことを特徴とするマイクロコンピュータ制御装置。

\*

\* 【図面の簡単な説明】

【図1】 本考案に係る一実施例を示す電気回路図である。

【図2】 図1の構成の作動を説明するタイムチャートである。

【符号の説明】

1 マイクロコンピュータ

2 ウォッチング回路

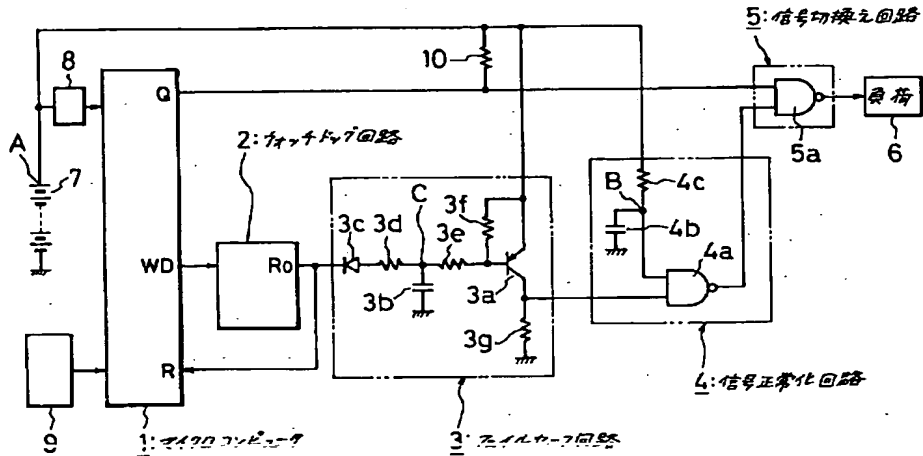
3 フェイルセーフ回路

4 信号正常化回路

5 信号切替回路

6 負荷

【図1】



【図2】

